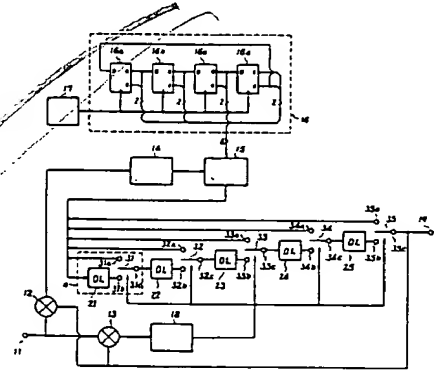


(54) PHASE SHIFTING CIRCUIT

(11) 63-194417 (A) (43) 11.8.1988 (19) JP
 (21) Appl. No. 62-27957 (22) 9.2.1987
 (71) SONY CORP (72) ETSURO SAKAMOTO
 (51) Int. Cl. H03L7/06, H04N9/45

PURPOSE: To make the component of a circuit large in scale such as an arithmetic circuit unnecessary and to simplify the circuit, by selecting a data generated at a shift register corresponding to a phase difference, and delaying it with a delay means.

CONSTITUTION: When a signal representing the delay of more than 45° of the phase of an output signal is supplied to a first counter 14, a switching signal is supplied from the first counter 14 to a data selector so as to output the signal whose phase is led. And phase adjustment within 45° is performed by a first~a fifth delay circuits 21~25 and a first~a fifth change-over switches 31~35. In other words, by performing the phase adjustment at every 45° and fine phase adjustment within a range of 45° by the data selector 15, a pulse signal having the same phase as that of a color burst signal obtained at an input terminal 11 is outputted from an output terminal 19. Also, since a shift circuit is constituted of a comparatively simple components such as a gate circuit, etc., and requires no components such as the arithmetic circuit, etc., it is possible to simplify circuit constitution.



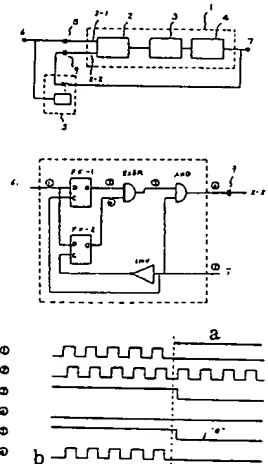
16: linear feedback shift register, 17: oscillator, 18: second counter

(54) PLL CIRCUIT

(11) 63-194418 (A) (43) 11.8.1988 (19) JP
 (21) Appl. No. 62-26255 (22) 9.2.1987
 (71) HITACHI LTD (72) ICHIRO IKUSHIMA
 (51) Int. Cl. H03L7/14

PURPOSE: To prevent an oscillation frequency from being deviated at the time of generating input disconnection with simple circuit constitution, by providing an input disconnection detection circuit in a PLL circuit consisting of a phase comparator, a loop filter, and an oscillator, and blocking the reference input of the phase comparator by detecting the input disconnection of a signal.

CONSTITUTION: The output of the input disconnection detection circuit 5 is connected to a reference input terminal 2-2 via a capacitor 9, and is connected to the output terminal 7 of the oscillator 4. When the signal is inputted to an input terminal 6, the input disconnection detection circuit 5 connects it to the output of the output terminal 7 as the reference input of the phase comparator. However, when the input disconnection occurs, the above connection is blocked. In other words, the state of an input signal is detected by the output signal of the oscillator 4, and the reference input is blocked by an AND circuit. Thus, since the signal input and the reference input to the phase comparator are blocked at the time of generating the input disconnection by the input disconnection detection circuit, it is impossible to prevent the input of only the reference input and the deviation of the oscillation frequency from occurring that are observed in a conventional circuit.



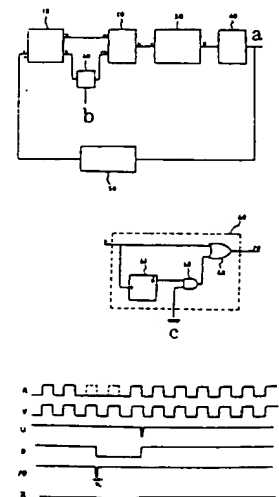
a: input disconnection, b: input (phase comparator)

(54) PHASE LOCKED LOOP CIRCUIT

(11) 63-194419 (A) (43) 11.8.1988 (19) JP
 (21) Appl. No. 62-26277 (22) 9.2.1987
 (71) HITACHI LTD (72) TAKASHI HOSHINO
 (51) Int. Cl. H03L7/14, G11B20/10

PURPOSE: To stabilize the oscillation frequency of a phase locked loop circuit at the time of missing a signal and to accelerate pull-in at the time of restoring the signal, by providing a pulse width limitation circuit which receives the output of a phase comparator as an input and outputs an output on which pulse width limitation is applied as the input of a charge pump between the phase comparator and the charge pump.

CONSTITUTION: The pulse width limitation circuit 60 connected to the output of the phase comparator 10 is started up by the generation of a phase comparison output, and generates a pulse signal having prescribed width. Since a gate circuit which constitutes the pulse width limitation circuit 60 gates a phase comparison signal with the pulse signal, it is possible to prevent the width of the output of the gate circuit from being extended than that of the pulse signal. For example, when the missing of a signal is generated in an input signal R, the pulse width which drives the charge pump 20 actually goes to the pulse width T limited by the pulse width limitation circuit 40. Therefore, since a few amount of fluctuation occurs in a signal 0 and change in the oscillation frequency of a voltage controlled oscillator 40 scarcely occurs, a phase locked loop state can be restored immediately after the signal R is restored.



30: low-pass filter, 50: frequency demultiplier, 61: monostable multivibrator, V: comparison signal, a: output signal, b,c: control signal



E4051

⑨ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭63-194419

⑮ Int. Cl.⁴

H 03 L 7/14
G 11 B 20/10

識別記号

庁内整理番号

8731-5J
M-6733-5D

⑬ 公開 昭和63年(1988)8月11日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 位相同期回路

⑰ 特 願 昭62-26277

⑱ 出 願 昭62(1987)2月9日

⑲ 発 明 者 星 野 隆 司 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

位相同期回路

2. 特許請求の範囲

二つの入力信号の位相差を検出し、検出した位相差に対応した幅のパルス信号を出力する位相比較器と、該位相比較器の出力を入力とし、そのパルス幅に応じて電流の入出力を行なうチャージポンプと、該チャージポンプによる電流の入出力を入力とするローパスフィルタと、該ローパスフィルタの出力を制御電圧とする電圧制御発振器と該発振器の出力を入力として前記二つの入力信号のうちの一つを供給する分周器とにより構成される位相同期回路において、前記位相比較器の出力をその入力とし、パルス幅制限を行なった出力を該チャージポンプの入力として出力するパルス幅制限回路を前記位相比較器とチャージポンプとの間に設けたことを特徴とする位相同期回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、入力信号と出力信号の位相同期化を図るための位相同期回路の同期安定化に係り、特に基準信号が欠落するようなシステムに用い、該基準信号を入力信号としてそれに位相同期化した出力信号を出力する位相同期回路として好適な位相同期回路に関する。

〔従来の技術〕

従来の、位相同期回路における入力信号の欠落に対する保護方式は、特開昭58-190135号公報に記載のように入力信号の欠落検知信号を用いて位相同期ループの一部を切断し、同期動作を中断させ、電圧制御発振器の発振周波数が正規の周波数から大きくずれないようにしている。したがって、入力信号が連続して欠落するような場合には効果があるが、離散して欠落するような場合には充分ではない。

〔発明が解決しようとする問題点〕

従来技術においては、位相同期ループを切断するための信号として、位相同期回路の入力信号の欠落検知信号を用いるため、入力信号が位相同期

回路に入力されるべきタイミングに先行して欠落を検出する必要がある。位相同期回路の入力信号が含まれている信号全体がレベル低下を生じるような場合には比較的検出も容易であるが、もとの信号全体に雑音が混入する場合や、磁気記録媒体や光学記録媒体からの再生時のように部分的な信号欠落が発生する場合には、全体の信号から位相同期回路に必要とされる入力信号の分離・抽出動作が行なわれ、その動作結果から検出できたか欠落したかが明らかになるため、先行して欠落を検知して位相同期ループを切断することは難しいという問題があった。

本発明の目的は、欠落を検知する手段や、検知信号によって位相同期ループを操作する手段を用いることなく、信号欠落時の位相同期回路の発振周波数の安定化、信号復帰時の引き込みの高速化を実現することにある。

〔問題点を解決するための手段〕

上記目的は、位相比較器から発生してその後段のチャージポンプに入力する位相ズレ検出パルス

周器50の出力である比較信号と位相比較が行なわれ、入力信号が比較信号より位相が進んでいる場合にはU端子にパルスが出力され、逆に位相が遅れている場合にはD端子にパルスが出力される。

位相比較器10の一例を第2図に示すので参照されたい。

チャージポンプ20はP U端子、P D端子に入力されるパルスに応じ出力端子Fから電流を出力したり、逆に吸い込んだりという動作をする。第3図にチャージポンプの一例を示す。同図において21、22はインバータ、23、24はトランジスタである。この回路例はP U、P D端子に負のパルスが印加されたときに動作するよう構成されている。まず、P U端子に負のパルスが印加された場合にはインバータ21で反転され正のパルスとなってトランジスタ24のベースに印加される。これによりトランジスタ24はONとなり端子Fから外部に接続された回路より電流がグランドに向かって流れていく。次に、P D端子に負のパルスが印加された時は同様にしてインバータ2

信号のパルス幅を制限することにより達成される。

〔作用〕

位相比較器の出力に接続されたパルス幅制限回路は、位相比較出力の発生により起動され、所定幅のパルス信号を発生する。パルス幅制限回路を構成するゲート回路は位相比較信号をパルス信号でゲートするため、ゲート回路の出力はパルス信号の幅よりも長くなることはない。したがって、入力信号欠落により位相比較出力に長い幅の信号が出現してもこれがそのまま電圧制御発振器に印加されることがないので、該発振器の発振周波数が大きく変動することがない。

〔実施例〕

以下、本発明の一実施例を図面により説明する。第1図は本発明による位相比較回路の構成図である。同図において10が位相比較器、20がチャージポンプ、30がローパスフィルタ(LPF)、40が電圧制御発振器(VCO)、50が分周器、60が本発明の中心部であるパルス幅制限器(リミッタ)である。入力信号は位相比較器10で分

2で正のパルスに反転されてトランジスタ23のベースに印加され、トランジスタ23がONし、端子Fから外部回路に向かってVccから電流を流し込むことができる。P U、P D端子が両方とも「1」のときはトランジスタ23、24は共にOFFとなり端子Fはオープン状態となる。またP U、P D端子の両方に同時に負のパルスが印加されるとトランジスタ23、24は同時にONするためVccからGNDに向かって電流が流れトランジスタ23、24が破壊されるので、このような動作状態は禁止される。

第1図に戻り、ローパスフィルタ30は位相同期回路の応答特性や安定性を決定する部分である。第4図に示す回路例は増幅器31を使用した二次のアクティブフィルタであり、抵抗32、33、コンデンサ35の値によって特性が決定される。

第4図において、電圧制御発振器40は入力される制御電圧値により発振周波数が変化するものであり、マルチバイブレータを利用したものや電圧可変容量ダイオードを利用したものが一般に多

く使用されているが、この他にも種々の回路方式が考案されている。本発明は使用する電圧制御発振器の構成には限定をうけることはなく、どのタイプのものも使用可能である。

分周器 50 は電圧制御発振器 40 の出力を所定数分周し、位相同期が行なわれた状態で入力信号と同一の周波数になる比較信号が出力される。したがって分周比には制限は無く分周比が 1、すなわち電圧制御発振器 40 の出力信号が直接比較信号として位相比較器 10 に入力される場合も含まれる。

パルス幅制限器 60 は本発明の特徴となる部分であり、その一具体例を第 5 図に示す。同図において、61 は入力信号の立ち下がりがエッジで起動される単安定マルチバイブレータ、62 は OR ゲート、63 は AND ゲートである。D 端子に負のパルスが印加されると単安定マルチバイブレータ 61 はその立ち下がりがエッジで起動され、出力端子 Q からは所定のパルス幅 T_L の負のパルスが出力される。制御信号はこのパルス幅制限回路 60

御信号を "0" に保った場合、すなわち本発明を使用しない場合の動作を示したものである。同図において、通常の位相同期が行なわれている場合には、入力信号 R と比較信号 V との位相差に応じて位相比較器 10 の U 出力あるいは D 出力にパルスが出力される。このパルスによりチャージポンプ 20 が駆動され、ローパスフィルタ 30 を経由して電圧制御発振器 40 を、検出された位相差を解消する方向に周波数を変化させる（信号 0）。すなわち R が V より位相が進んでいる場合には、発振周波数を高くするために信号 0 は増加し、R が V より位相が遅れている場合には、発振周波数を低くするために信号 0 は減少する。

ここで、図中 R の破線部分のように信号が欠落した場合には、D に広い幅のパルスが出力され、信号 0 に大きな変動を生じる。そのため、発振周波数が大きく変動してしまい、欠落が回復して R が正常になったとしてもこの位相同期回路の応答特性に応じた時間が位相同期が回復するまでに必要となり、電圧制御発振器の発生クロックを使用

を動作させるか、停止させるかを制御する信号である。制御信号が "1" に保たれた時は AND ゲート 63 は開かれ、単安定マルチバイブレータ 61 の Q 出力は AND ゲート 63 を通過してそのまま OR ゲート 62 に入力されパルス幅制限動作を行なうが、制御信号が "0" に保たれた時には AND ゲート 63 は閉じられるため単安定マルチバイブレータ 61 の Q 出力は OR ゲート 62 に入力されずパルス幅制限動作は行なわれない。OR ゲート 62 の入力である D 端子への入力パルスも単安定マルチバイブレータ 61 の Q 出力も負のパルスであるため、入力パルスのパルス幅を T_D とすると $T_D \leq T_L$ のときは OR ゲート 62 の出力には T_D 幅の負のパルスが出力されるが、 $T_D > T_L$ のときは T_L 幅の負のパルスが出力される。 T_L の値は任意に設定できるが、正常動作時の T_D の最大値と同じかわずかに長く設定することにより大きな効果が得られる。

次に、本発明の効果をタイムチャートにより説明する。第 6 図は第 1 図の構成の回路において制

する回路（図示せず）においては、正常な動作が行なわれない。

これに対して、本発明によれば、第 7 図に示すように、R に欠落が生じた場合、位相比較器 10 の出力 D には同様に幅の広いパルスが出力されるが、パルス幅制限回路 60 の働きにより実際にチャージポンプ 20 を駆動するパルス幅は、パルス幅制限回路 60 で制限されるパルス幅（ T_L ）になるため、信号 0 の変動は小さく、したがって電圧制御発振器 40 の発振周波数の変化もほとんど生じないので、信号 R が回復すれば直ちに位相同期状態が回復する。また、この発振クロックを使用した回路においても、欠落時を含めて正常な動作が行なわれる。

以上説明したように、本発明によれば、位相同期回路において、比較の基準となる入力信号に欠落が生じても同期状態が大きく狂うことがなく、また、欠落を検出するための回路も不要である。本発明によるパルス幅制限を行なうか否かは、例えば回路全体の起動時には OFF として、同期状

態が確立したならばONにするという程度の手法で充分である。

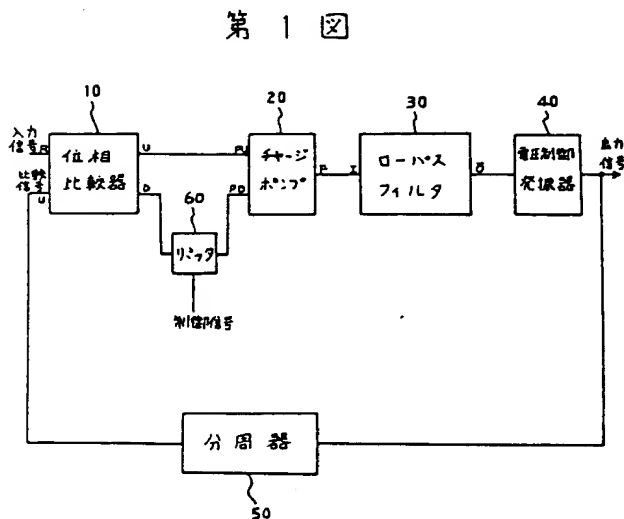
なお、先にも述べたように、本発明の構成は、これまでに説明してきた回路に限定されたものではなく、他の回路でも実現できる。一例として、パルス幅制限回路の他の具体例を第8図に示す。同図において第5図と同一の部分には同一の番号を付している。第7図の回路においてパルスの制限時間 T_L を決定するのは遅延素子65の遅延量である。D端子に入力された位相差パルスをインバータ64で反転して遅延素子65で T_L 時間遅延させANDゲート63を経由してORゲート62に入力することにより、第5図の例と同様の動作を得ることができる。

〔発明の効果〕

本発明によれば、位相同期回路の基準信号としての入力信号に欠落が生じた場合に発生する位相誤差信号を小さくおさえることができるので、位相同期状態を保持できる効果がある。

4. 図面の簡単な説明

10 位相比較器 40 電圧制御発振器
20 チャージポンプ 50 分周器
30 ローパスフィルタ 60 パルス幅制限回路



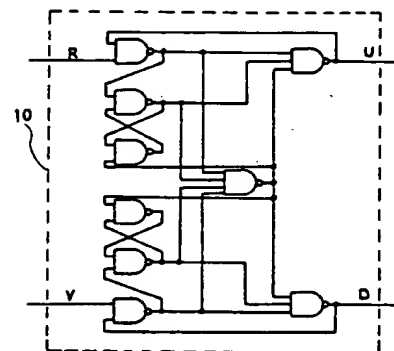
第1図は本発明の一実施例の構成図、第2図は位相比較器の回路例を示す回路図、第3図はチャージポンプの回路例を示す回路図、第4図はローパスフィルタの回路例を示す回路図、第5図はパルス幅制限回路の第一の具施例を示す回路図、第6図は従来回路による動作タイムチャート、第7図は本発明を使用した場合のタイムチャート、第8図はパルス幅制限回路の第二の具施例を示す回路図である。

10 ……位相比較器、20 ……チャージポンプ、30 ……ローパスフィルタ、40 ……電圧制御発振器、50 ……分周器、60 ……パルス幅制限回路。

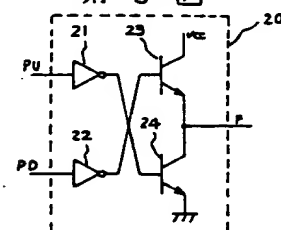
代理人 弁理士 小川勝男

10 位相比較器 22 インバータ
20 チャージポンプ 23 トランジスタ
21 インバータ 24 トランジスタ

第2図

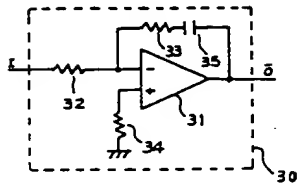


第3図

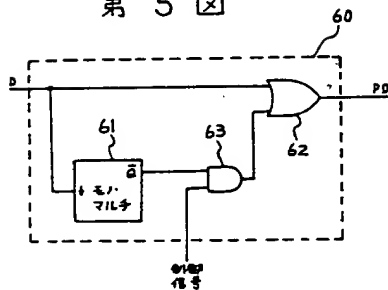


30 ローパスフィルタ 62 ORゲート
60 パルス幅制限回路 63 ANDゲート
61 不安定マルチバイブレータ

第 4 図

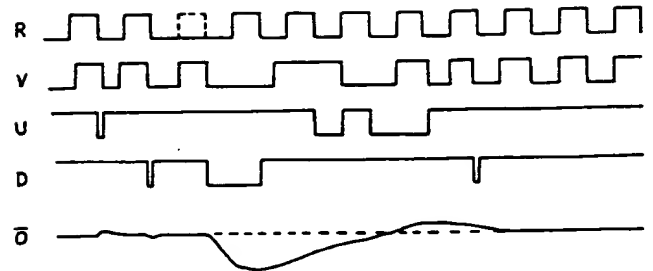


第 5 図

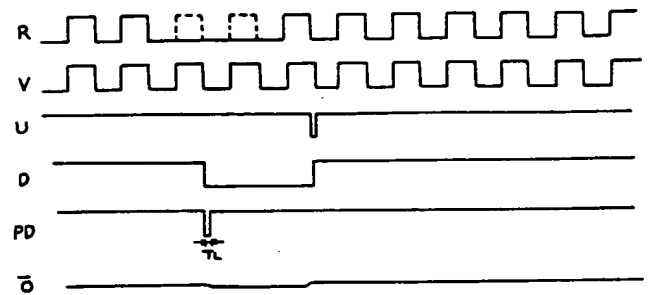


60 パルス幅制限回路 64 インバータ
62 ORゲート 65 遅延素子
63 ANDゲート

第 6 図



第 7 図



第 8 図

